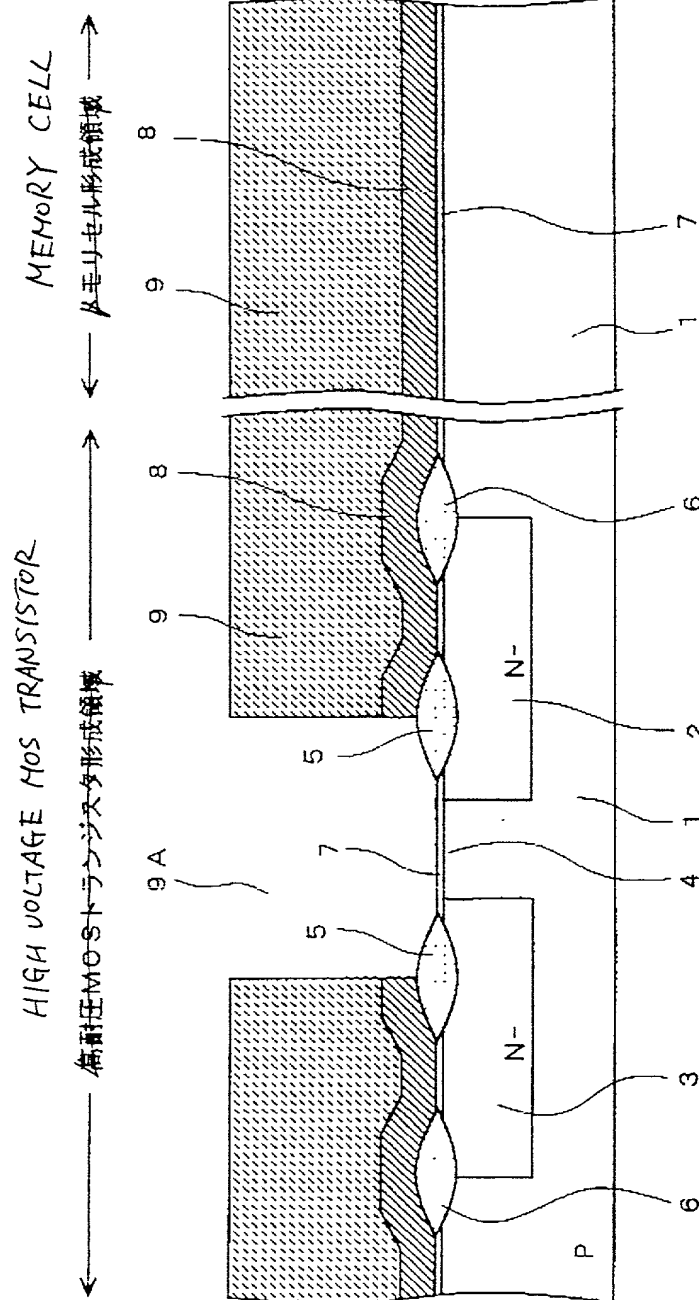


TOP SECRET 45596860

Fig. 1

【図1】

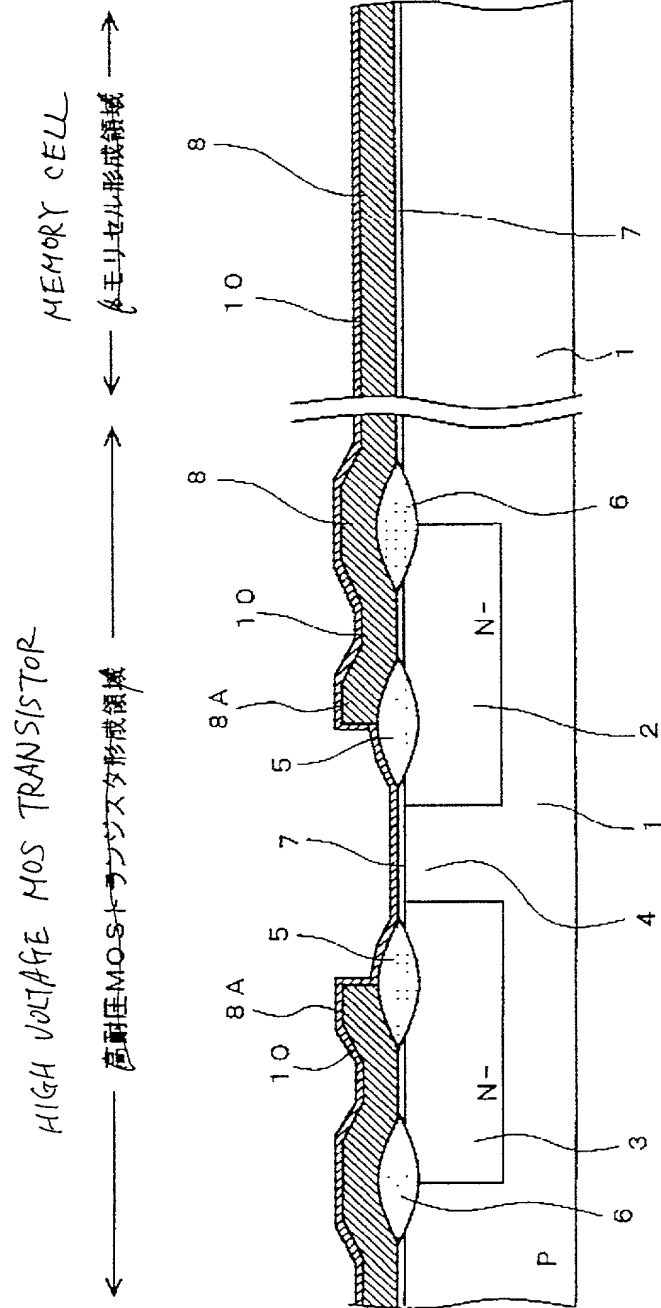


1: P型シリコン基板 2: n-型ソース層 3: n-型ドレイン層 4: チャネル領域 5, 6: ロコス膜  
7: ゲート絶縁膜 8: ポリシリコン層 9: フォトリソグレイド 9A: 開口部

TOP SECRET

Fig. 2

図2

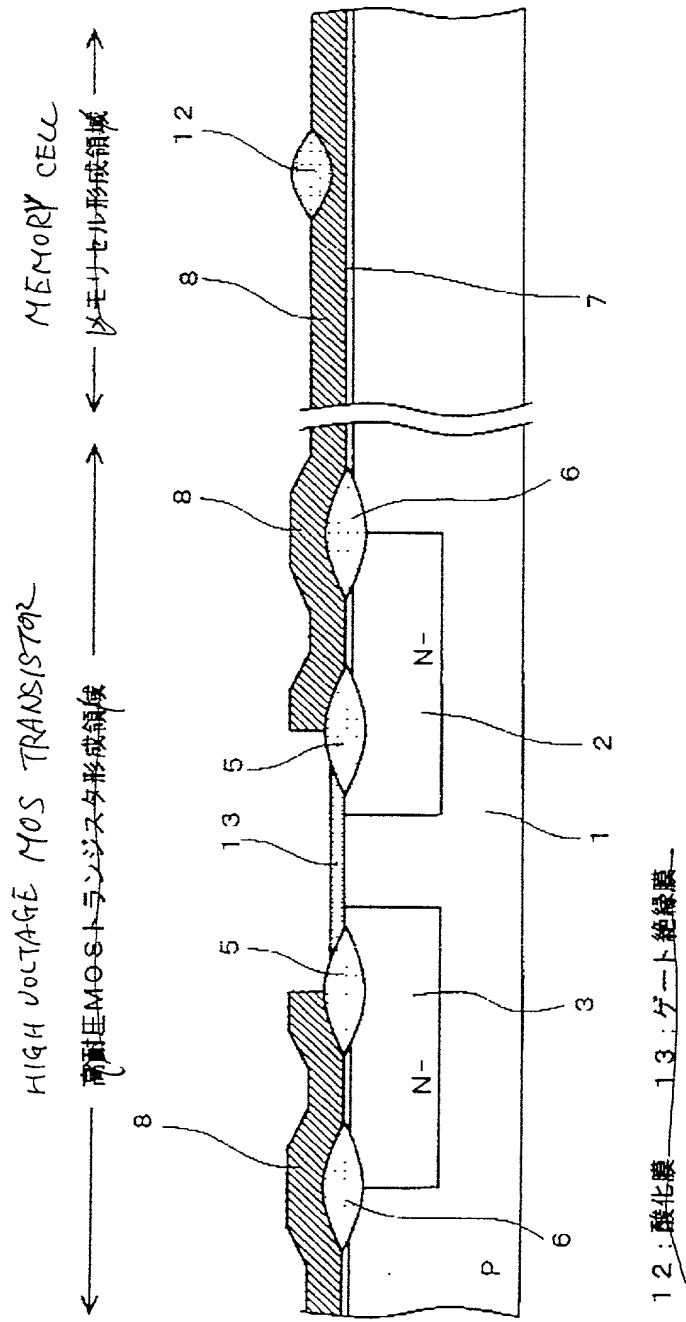




10209301593600

Fig. 4

【図4】



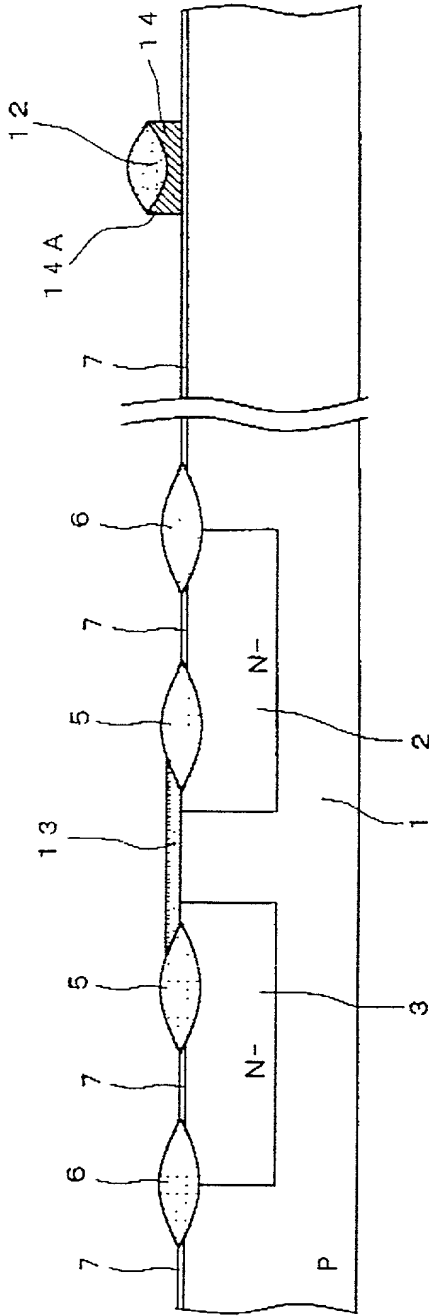
1 2 : 酸化膜 1 3 : ゲート絶縁膜

特許第1494060号

Fig. 5

図5

HIGH VOLTAGE MOS TRANSISTOR      MEMORY CELL  
高耐圧MOSトランジスタ形成領域      メモリセル形成領域

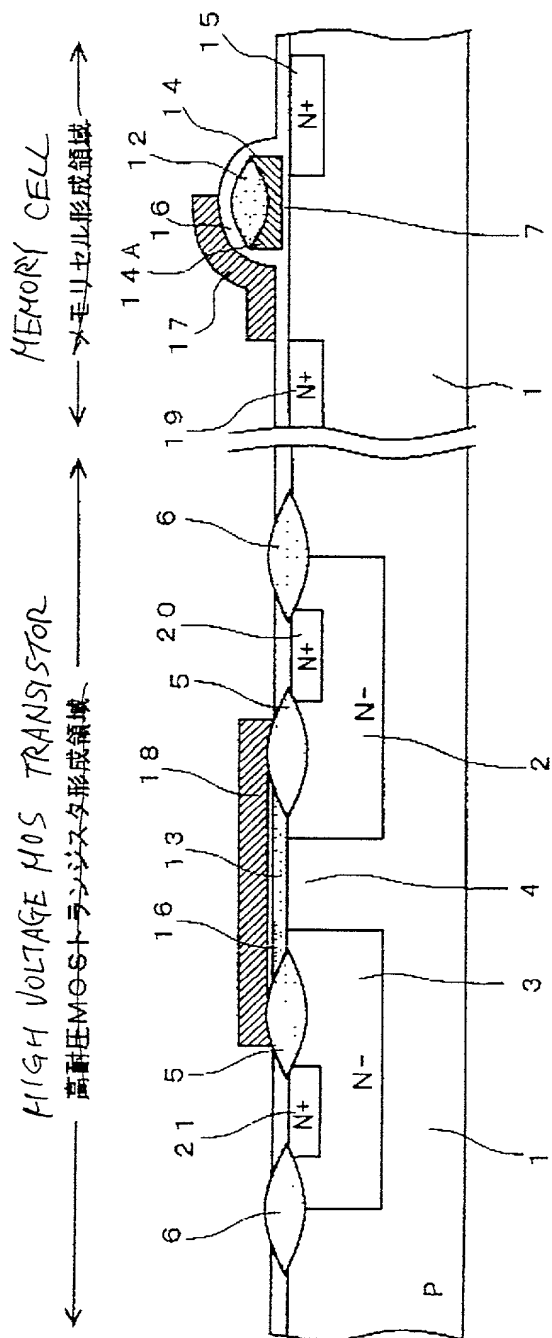


14: 浮遊ゲート 14A: 浮遊ゲート14の角部

TOP SECRET 45592350

Fig. 6

【図6】



1/5: n+型ソース拡散層      16: トンネル絶縁膜      17: 制御ゲート      18: ゲート電極  
 19: n+型ドレイン拡散層      20: n+型ソース拡散層      21: n+型ドレイン拡散層

FOCUS 4559285D

Fig. 7

【図7】

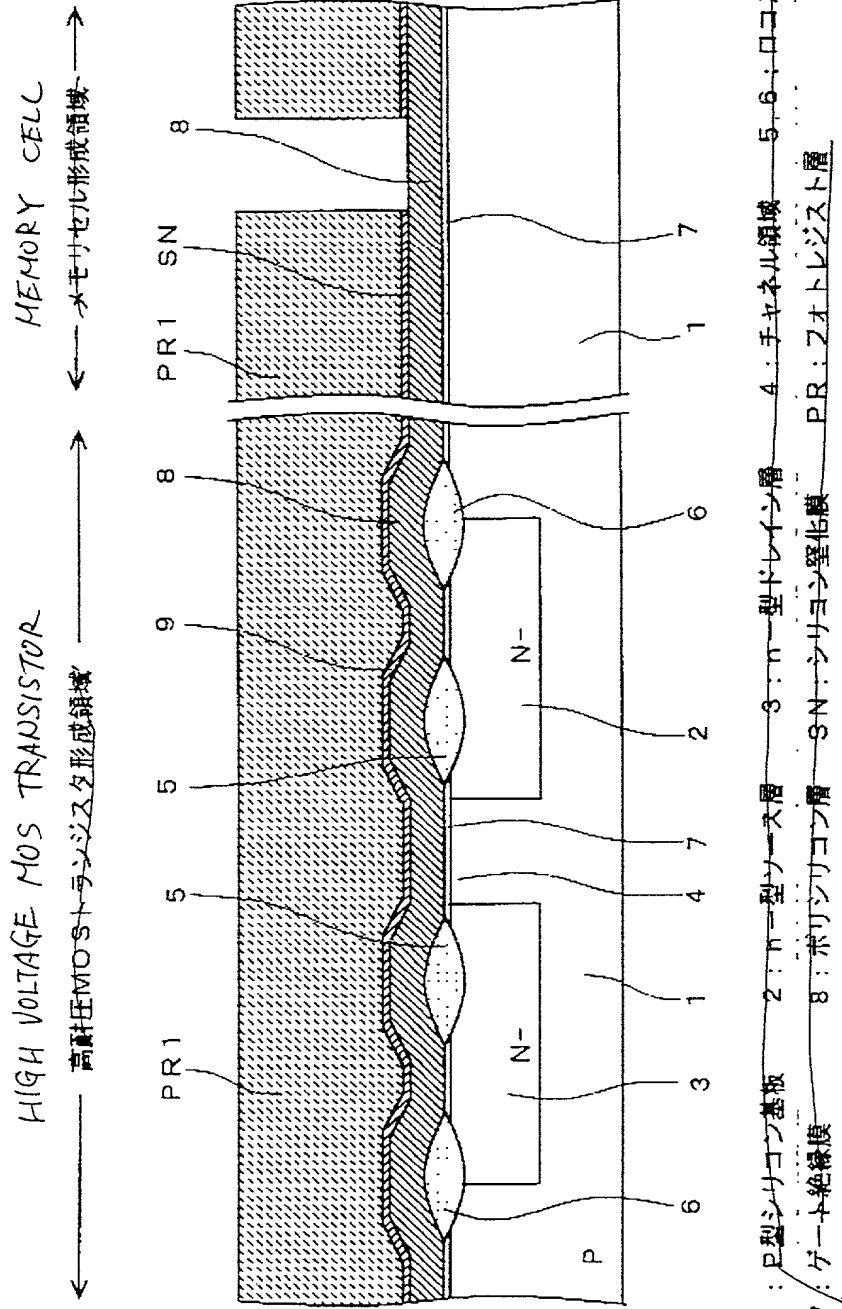
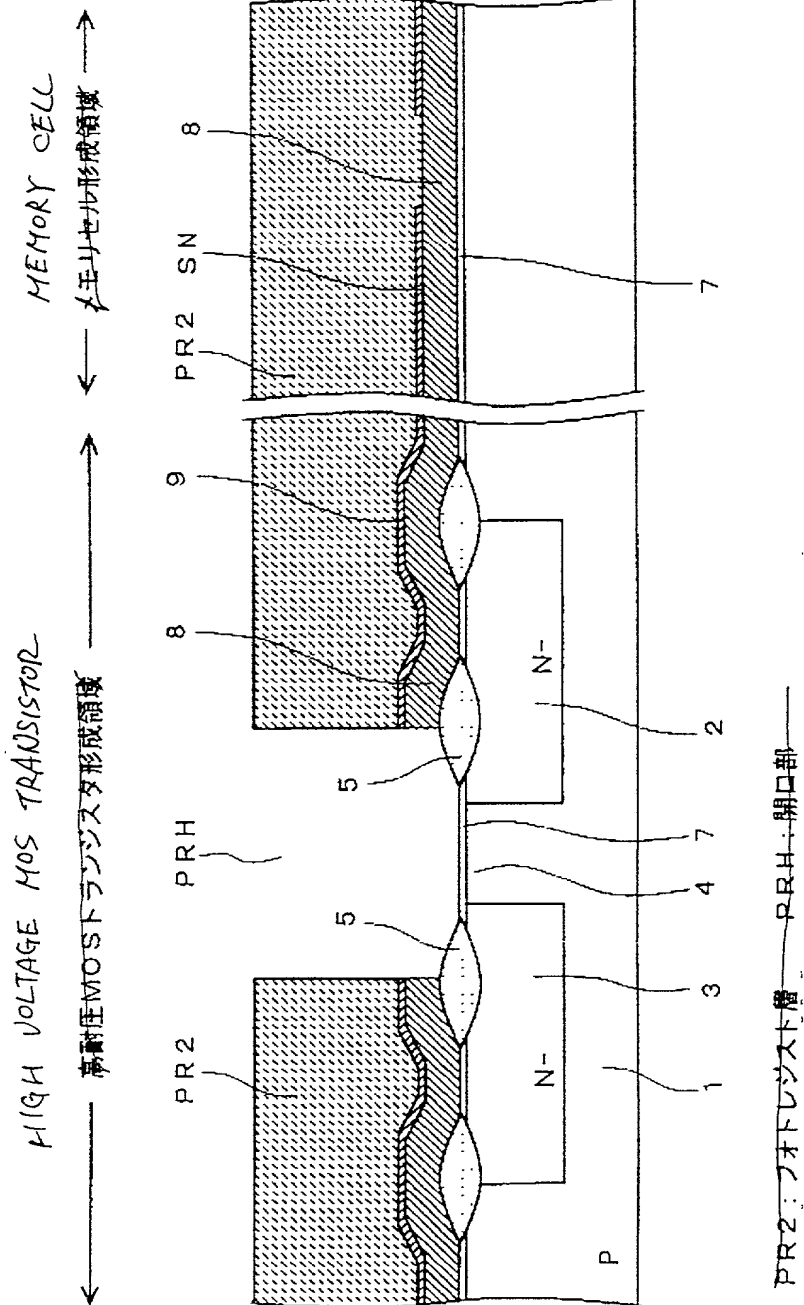


FIG. 8

Fig. 8

図8





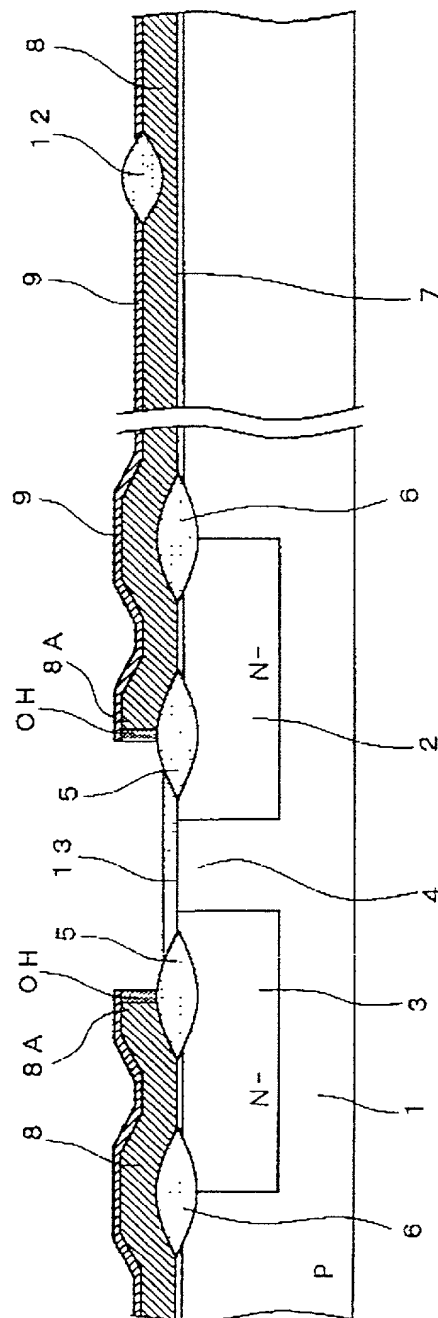
TO2090-199600

Fig. 9

(図9)

HIGH VOLTAGE MOS TRANSISTOR      MEMORY CELL

← 高耐圧MOSトランジスタ形成領域 → ← メモリセル形成領域 →



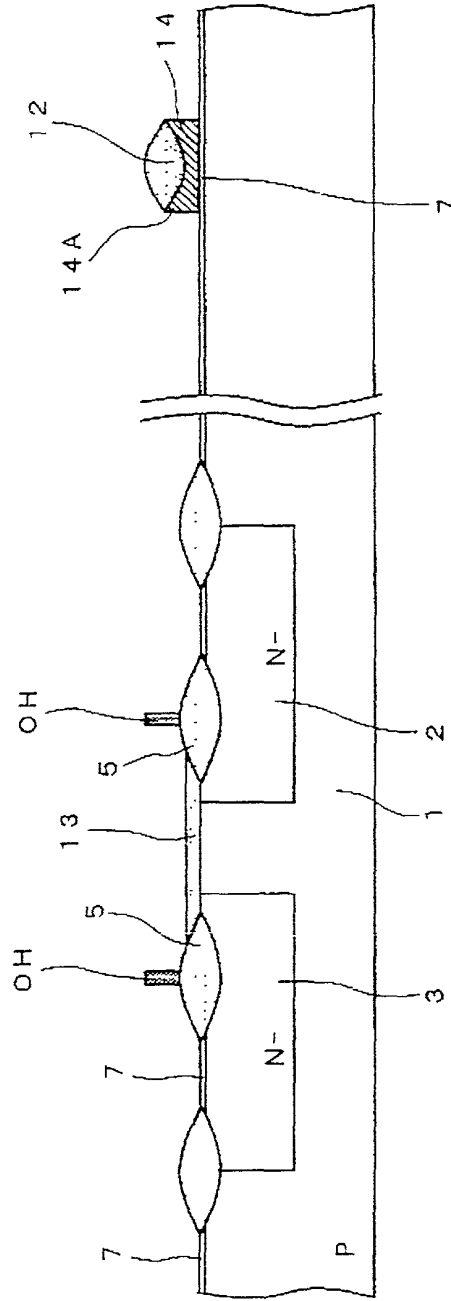
8A: ポリシリコン層 8の上面      12: 酸化膜      13: ゲート絶縁膜      OH: 酸化膜片

102690 4232860

Fig. 10

【図10】

HIGH VOLTAGE MOS TRANSISTOR      MEMORY CELL  
 高電圧MOSトランジスタ形成領域      メモリセル形成領域



14: 浮遊ゲート 14A: 浮遊ゲート14の角部

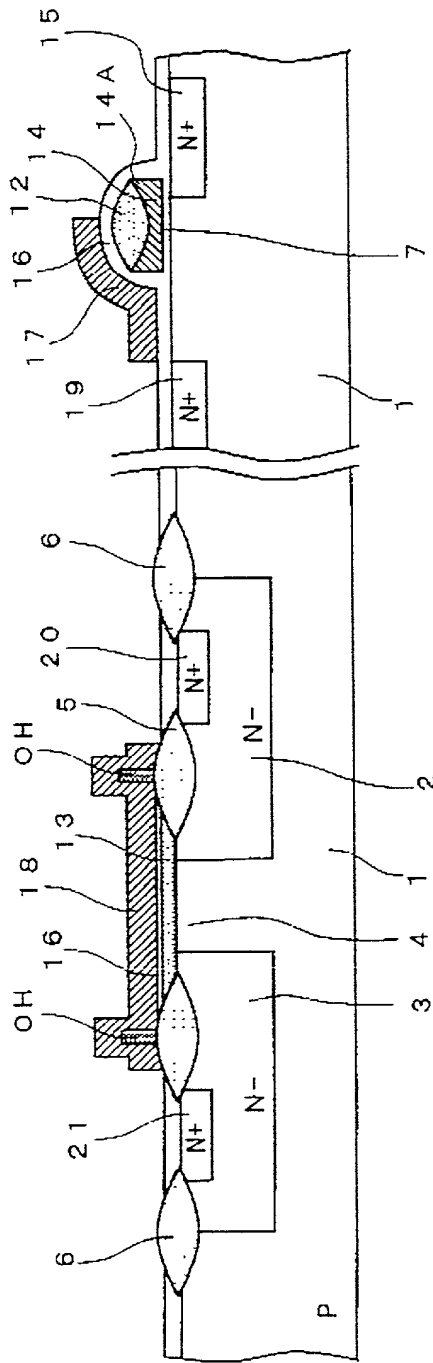
TOP SECRET 45594850

Fig. 11

図11

HIGH VOLTAGE MOS TRANSISTOR      MEMORY CELL

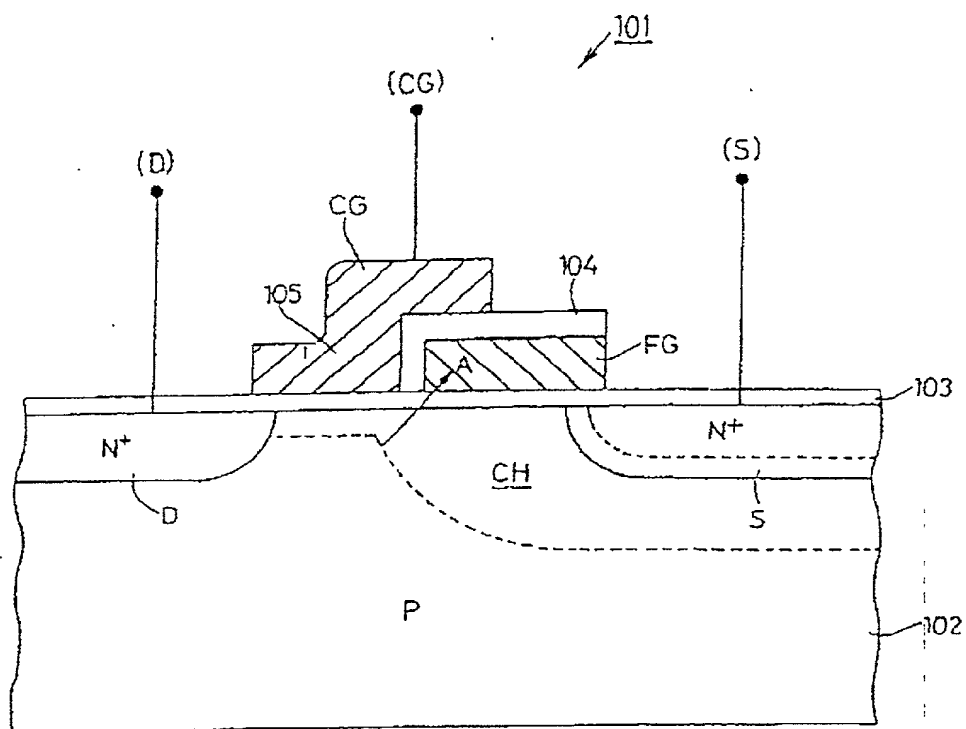
高耐圧MOSトランジスタ形成領域      メモリセル形成領域



15: n+型ソース拡散層      16: トンネル絶縁膜      17: 制御ゲート      18: ゲート電極

19: n+型ドレイン拡散層      20: n+型ソース拡散層      21: n+型ドレイン拡散層

Fig. 12  
PRIOR ART



2000-05-14